

引用格式:涂家华,殷树娟.一种多信号可配置的低功耗 AFE 电路设计 [J]. 微电子学与计算机,2021,38(3):46-50. [TU J H, YIN S J. Design of a multi-signal configurable low-power AFE circuit [J]. Microelectronics & Computer,2021,38(3):46-50.]

一种多信号可配置的低功耗 AFE 电路设计

涂家华,殷树娟

(北京信息科技大学 理学院,北京 100192)

摘 要:为提高可穿戴式医疗芯片的集成度、降低芯片整体功耗和工艺成本,提出了一种多信号可配置的低功耗模拟前端电路.该电路其主要采用了 C 类反相器和全互补耗尽区 MOS 电容技术,设计了集成了带有可配置高通滤波功能的仪表放大器、低功耗可配置增益放大器和带宽可配置的低功耗低通滤波器等模块.该模拟前端电路采用 SMIC 0.18 μm CMOS 工艺设计,仿真结果表明:功耗为 52.8 μW ,CMRR 为 76.1 dB,输入参考噪声功率谱密度为 3.45 $\mu\text{V}/\sqrt{\text{Hz}}$.

关键词:可穿戴式医疗芯片;模拟前端;标准数字工艺;C 类反相器

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2021)03-0046-05

Design of a multi-signal configurable low-power AFE circuit

TU Jia-hua, YIN Shu-juan

(College of Science, Beijing Information Science and Technology University, Beijing 100192, China)

Abstract: In order to improve the integration of wearable medical chips and reduce the whole power consumption and the process cost, a multi-signal configurable low-power AFE circuit in standard digital technology is proposed, which mainly adopts Class-C inverters and full compensated depletion-mode MOS-capacitor to constitute an instrumentation amplifier with configurable high-pass filtering frequency, a low-power configurable gain amplifier and a low-power LPF with configurable bandwidth. In this circuit, Class C inverters and fully complementary depletion region MOS capacitor technology are adopted, and instrument amplifier with configurable high-pass filter function, low-power configurable gain amplifier and low-power low-pass filter with bandwidth configurable module are designed and integrated. The proposed AFE circuit is implemented in SMIC 0.18 μm CMOS process. Simulation results show that the power consumption is 52.8 μW , the CMRR is 76.1 dB, and the input-reference-noise PSD is 3.45 $\mu\text{V} / \sqrt{\text{Hz}}$.

Key words: wearable medical chip; AFE; standard digital technology; class-C inverter

1 引言

随着万物互联时代的到来,可穿戴式医疗芯片迎来了新的发展契机.该类芯片集成在日常的贴身衣物、腕带或头盔中,通过对人体的生理信号进行连续监测和实时处理,从而实现对健康状况的监测和

预警,实现个性化医疗.其中模拟前端(Analog Front-End, AFE)作为医疗芯片的核心模块,它决定了芯片的整体功耗、面积、转换精度等各种性能.先前的报道主要注重于功耗和性能两大方面.有的基于一种生理信号实现了<100 μW 的低功耗^[1-3];有的注重高性能,实现了超低的输入参考噪声和>

100 dB 的 CMRR 等,但是功耗较高^[4-5],同时大部分工作只是集成了 1~3 种信号,数量较少,未能覆盖到大部分常见的生理信号。

人体常见的生理信号有:心电信号(ECG)、肌电信号(EMG)、脑电信号(EEG)、胃电信号(EGG)、眼电信号(EOG)和视网膜信号(ERG)等。如图 1 所示,其大多数处于低频段(从几百毫赫兹到几千赫兹),幅度波动较大(从几十微伏到几毫伏)。而待检测的生理信号经放大和滤波后,会直接驱动 ADC

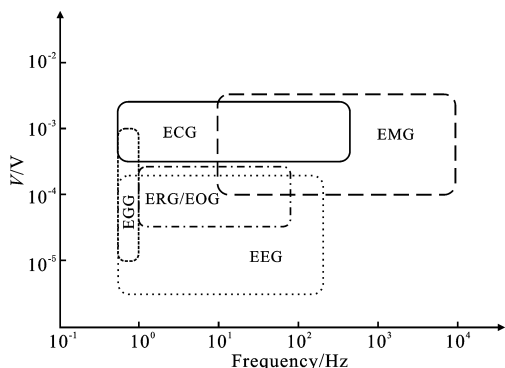


图 1 常见生理信号的频率和幅度

模块进行数字信号输出,特别是当被检测的信号(ECG、ERG、EOG 等)幅度波动过大时,对后续 ADC 的量化精度有很高的要求,同时还会导致 AFE 的性能过剩。因此,设计多信号的 AFE 电路难度在于可配置性要求高,需要灵活的调节多种信号的不同增益倍数和频率范围,保证高性能的同时,还具有较低的功耗。

基于以上的出发点,设计了一个可处理六种生理信号、标准数字工艺、低功耗的模拟前端电路。其电路结构如图 2 所示,大部分模块使用了基于 C 类反相器的运算放大器^[6]来降低功耗。同时为实现标准数字工艺,采用了全互补耗尽区 MOS 电容^[7]和传统的 MOS-Bipolar 电阻。电路中每个模块的开关均采用传统的传输门开关电路。该 AFE 主要由仪表放大器(IA)、增益可调放大器(PGA)、低通滤波器(LPF)、模数转换器(ADC)、和数字逻辑模块等部分组成。其中在处理 EEG、EMG、ECG 等信号振幅波动不大的生理信号时,可选择关闭阴影部分,调节到单端工作模式以避免性能过剩,从而节省功耗。

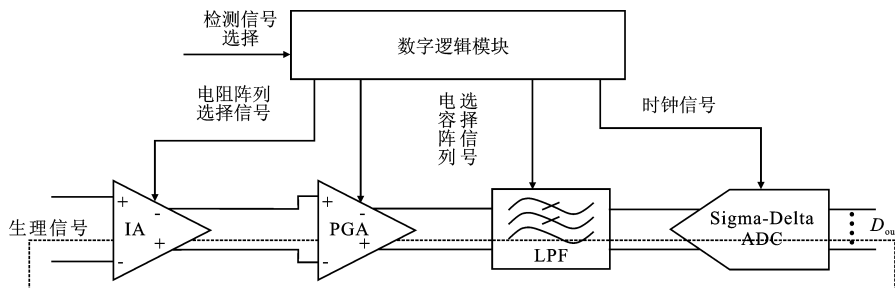


图 2 所设计的 AFE 电路结构图

2 模拟前端主要模块的电路结构

2.1 仪表放大器(IA)

IA 为第一输入级,直接对传感器或者电极所采集的生理信号进行初步放大。其决定了 AFE 电路的整体功耗、输入阻抗、CMRR、等效输入参考噪声等性能指标。本设计的电路结构为电容耦合反馈结构,如图 3 所示,由于大部分生理信号的频率均处于低频,因此输入回路中的电容 C_{in} 能提供较大的输入阻抗、有效隔绝直流电极失调,从而实现低噪声;并且在实际工艺中,电容的匹配精度较高,所以其共模抑制比也会更好。在传统结构的基础上,在反馈回路中加入了高阻值 MOS-Bipolar 电阻 R_{fi} ,能与反馈电容 C_f 产生一个高通极点,有效的抑制直流失调电

压,通过开关阵列选择不同电阻接入回路以调节配置高通截止频率,为后续滤波模块节省了高通滤波器,进一步减小了芯片面积。

该结构的高通截止频率为:

$$f_{3dB} = \frac{1}{2\pi C_f R_{fi}} \quad (1)$$

增益表达式为:

$$A_v(s) = \frac{\frac{C_{in}}{C_f}}{1 + \frac{1}{C_f s R_{fi}}} \approx \frac{C_{in}}{C_f} \quad (2)$$

本设计在整个电路中均采用了较多的电容,而在传统集成电路的工艺中,一般为 MIM 电容实现,即采用相关工艺的最高层和次高层实现,单位面积电容值小,需单独制作。因此采用数字电容简化整个

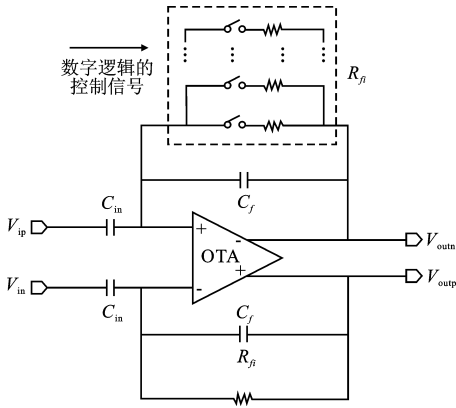


图 3 IA 电路结构

工艺流程,减小面积节省成本很有意义.因此本设计中的电容均采用了全互补耗尽区电容,电路结构如图 4 所示.它由 1 个 N 型 MOS 和 5 个 P 型 MOS 组成,其中 $M_{1\sim5}$ 为 P 型, M_6 为 N 型. $M_{1\sim4}$ 具有相同的宽长比,从而保证电容输入输出端的对称性以及方便计算电容值, $M_{5,6}$ 用作高阻值电阻,防止 $M_{1,2}$ 的栅极和 $M_{3,4}$ 的衬底产生电荷累积, A、B 为输入输出端口, C 为偏置电压端口,用于调节 $M_{5,6}$ 用作电阻的阻值.

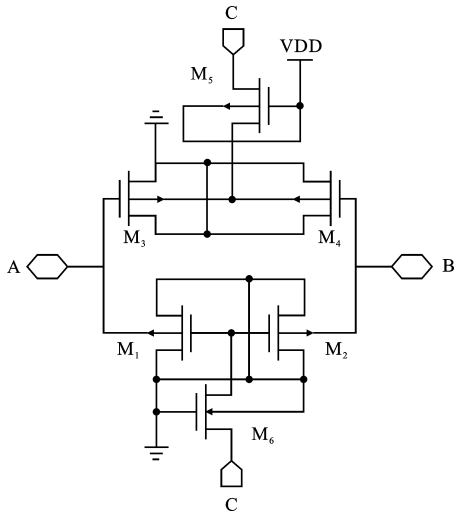


图 4 全互补耗尽区 MOS 电容的电路结构

2.2 增益可调放大器(PGA)

PGA 将 IA 处理后的信号尽可能地放大至 ADC 的输入满幅度,其增益倍数可根据不同信号类型来进行调节.本设计的 PGA 为电容反馈结构,如图 5 所示,利用开关电容阵列选择不同的 C_{in}/C_f 比值,以实现增益的不同调节.

该结构增益表达式为:

$$A_v = \frac{V_{out}}{V_{in}} = \frac{C_{in}}{C_f} \quad (3)$$

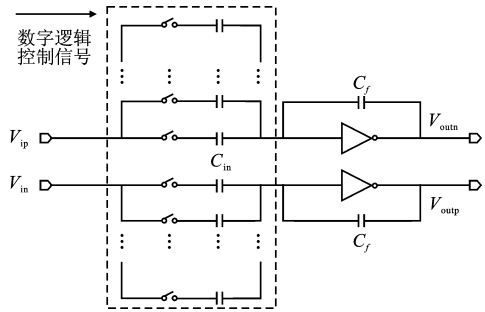
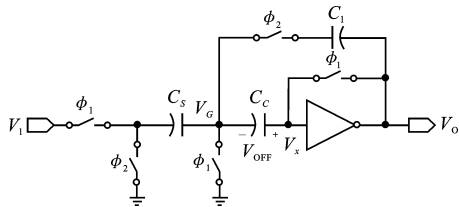


图 5 PGA 电路图

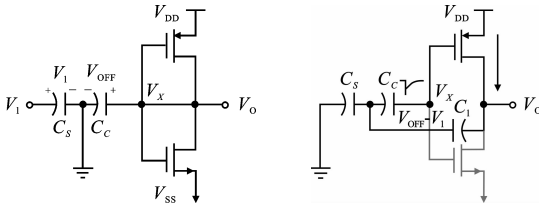
同时,PGA 的输出阻抗不受反馈影响,故采用了 C 类反相器运放,其输出摆幅较大,有较好的线性度,为后续模数转换器模块提供了接近满摆幅的信号.以图 6(a)中基于 C 类反相器的一阶开关电容积分器为例,对其工作状态进行简单的说明.在此电路中,C 类反相器根据开关的时钟周期处于动态偏置状态,通过不同的输入电压来调节工作状态,在一个周期内以如下两种状态进行工作:

(1)亚阈值状态:输入共模信号 $V_{CM} = V_{DD}/2$ 使反相器的两输入对管均处于亚阈值区,此时 C 类反相器的增益较高、功耗极低,如图 6(b).

(2)截止或导通状态:如果在输入共模信号的基础上加入输入电压信号,由于信号极性的不同,使得两个输入对管,总是一个导通,另一个截止,导通的 MOS 管具有较大的跨导与输出电流,使整个 C 类反相器具有较大的摆率;另外截止的 MOS 管使得电源与地短接,输出电流极小,有效地降低了静态功耗,如图 6(c).



(a)一阶 SC 积分器电路



(b)亚阈值状态 (c)截止或导通状态

图 6 C 类反相器工作原理

因此在设计时,需使其工作状态在(1)、(2)中切换,以极低的功耗实现电路的性能需求.

2.3 带宽可调低通滤波器(PB-LPF)

由于仪表放大器模块具有高通极点,因此滤波部分只需要相应带宽可调的低通滤波器即可. 在经典的一阶 RC 低通滤波器结构上,采用了电流舵技术(Current Steering Technique, CST)和 C 类反相器,如图 7 所示,在一阶 RC-LPF 的输入回路中加入了 MOS 管 M_1 、 M_2 ,其分别工作在亚阈值区和线性区. 内部运算放大器同样采用 C 类反相器节省功耗. 其截止频率的计算公式为:

$$f_{3dB} = \frac{\alpha}{2\pi R_{in} C_f}$$

(4)

式中, $\alpha = I_1 / I_2$, 为两 MOS 管漏极电流之比. 带宽通过数字逻辑模块控制开关电容阵列实现调节.

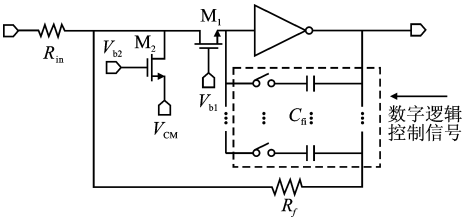


图 7 PB-LPF 电路(单端)

2.4 数字逻辑控制模块

数字电路部分主要介绍 IA、PGA 和 LPF 三部分的开关电容、电阻阵列控制信号的实现. 通过结合需要处理的六种生理信号的频率范围和放大倍数, 确定了三大模块各自电阻电容的数量: IA 为电阻阵列, 分为 3 档; PGA 为电容阵列, 分为 3 档; LPF 为电容阵列, 分为 5 档. 图 8 展示了 IA 和 PGA 的逻辑控制信号, 其中 A~F 分别代表 ECG、EMG、EEG 等生理信号的输入选择信号, $S_{IA1\sim3}$ 与 $S_{PGA1\sim3}$ 为输出控制信号.

3 电路仿真结果

本文所提出的 AFE 电路采用了 SMIC 0.18 μm CMOS 工艺进行设计,除第一级 IA 的电源电压为 1.8 V 外,其余模块均为 0.7 V,通过 Spectre 仿真器对 ECG、EMG、EEG、EGG、ERG、EOG 六种生理信号进行了仿真分析. 需要处理的六种生理信号的振幅范围、频率范围以及放大倍数的预设如表 1 所示,其中 ERG 和 EOG 的频率范围、振幅变化区别不大,这里视为同一信号处理.

首先对 C 类反相器进行了仿真,性能指标如表 2 所示,高摆率(SR)说明其具有优良的线性度,输出摆幅接近满摆幅,功耗仅为 0.581 μW ,带宽、增益带宽积、直流增益均满足设计需求,可运用于相关模块电路中.

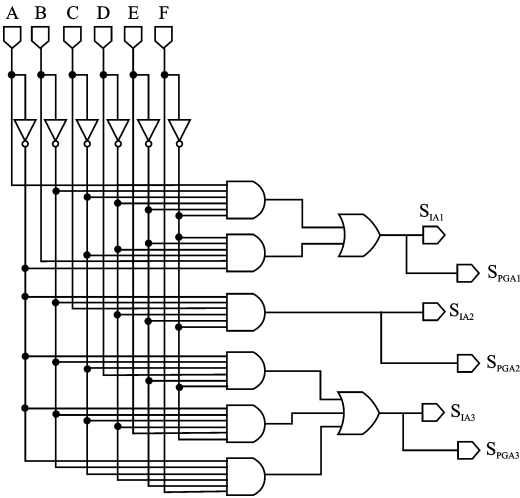


图 8 IA 和 PGA 的开关电容、电阻阵列控制逻辑图

表 1 需要处理的六种生理信号预设表

信号类型	幅度/V	频率/Hz	放大倍数
ECG	0.5~4m	0.5~250	100×1
EMG	0.1~5m	10~10k	100×1
EEG	5~300 μ	0.5~150	100×16
EGG	150~350 μ	0.5~1	100×10
EOG/ERG	50~400 μ	1~45	100×10

表 2 C 类反相器仿真参数

性能指标	数值
电源电压/V	0.7
摆率/V/ μs	32.8
输出摆幅/V	1.55 m~699 m
功耗/W	0.583 μ
直流增益/dB	35.1
增益带宽积/Hz	0.971M
带宽/Hz	24.2k

表 3 展示了本设计的 AFE 与参考文献的性能指标对比. 可以看到本设计可检测的生理信号数量更多,不仅包含了常见的 ECG、EMG、EEG 信号,还加入了 EGG、ERG、EOG 该类幅度变化极大的生理信号,同时功耗仍然处于较低的水平.

表 3 AFE 性能对比指标

参数	本设计	文献[1]	文献[2]	文献[5]
电源电压/V	0.7,1.8	0.45	0.6	0.5,1
信号数量	6	1	2	1
噪声 PSD/V	3.45 μ	3.2 μ	2.3 μ	1.2 μ
CMRR/dB	76.2	73	74	122
功耗/W	52.8 μ	73 μ	42 μ	305 μ
增益/dB	39.1,59.0 61.2,63.8	52.0	59.1	38.5 46.7,52.9

图 9 展示了 CMRR 和输入参考噪声的仿真情况. 图 10 展示了六种生理信号的增益带宽仿真图.

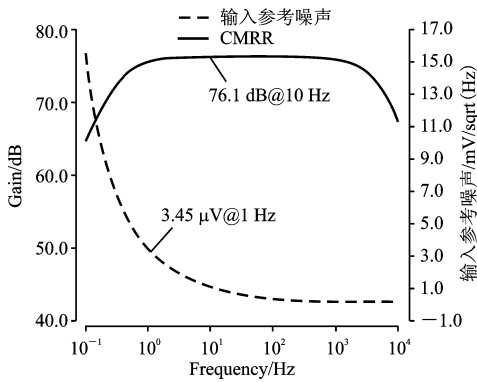


图 9 CMRR 和输入参考噪声仿真图

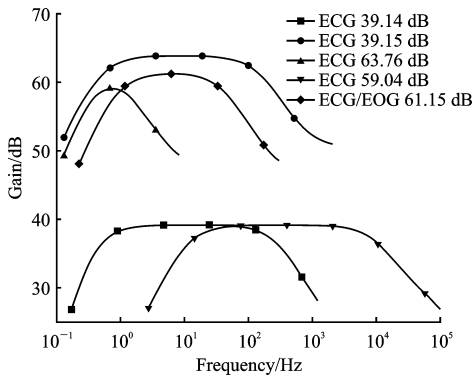


图 10 六种生理信号的增益带宽结果图

4 结束语

本文所设计的 AFE 能处理 ECG、EMG 等六种生理信号,功耗为 $52.8\ \mu\text{W}$,CMRR 为 76.2 dB、输入参考噪声谱密度为 $3.45\ \mu\text{V}/\sqrt{\text{Hz}}$. 与其他同类型文献的性能对比可知,该设计集成的生理信号数量更多,同时功耗较低,实现了标准数字工艺,降低了工艺成本,在可穿戴式医疗芯片领域具有潜在的应用价值.

参考文献:

[1] HAN D, ZHENG Y J, RAJKUMAR R. A 0.45V 100-channel neural-recording IC with sub- $\mu\text{W}/\text{channel}$ consumption in 0.18 μm CMOS[C]//Proceedings

of 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, San Francisco:IEEE, 2013. DOI: 10.1109/ISSCC.2013.6487739.

[2] KARIMI-BIDHENDI A, MALEKZADEH-ARASTEH O, LEE M C, et al. CMOS ultralow power brain signal acquisition front-ends: design and human testing [J]. IEEE Transactions on Biomedical Circuits and Systems, 2017, 11 (5): 1111-1122. DOI: 10.1109/TBCAS.2017.2723607.

[3] ZHANG Y Q, ZHANG F, SHAKHSHEER Y, et al. A batteryless 19 μW MICS/ISM-band energy harvesting body sensor node SoC for ExGapplications[J]. IEEE Journal of Solid-State Circuits, 2013, 48 (1): 199-213. DOI: 10.1109/JSSC.2012.2221217.

[4] MULLER R, LE H P, LI W, et al. A minimally invasive 64-channel wireless μECoG implant [J]. IEEE Journal of Solid-State Circuits, 2015, 50 (1): 344-359. DOI: 10.1109/JSSC.2014.2364824.

[5] PARK S Y, CHO J, NA K, et al. Modular 128-channel $\Delta\text{-}\Delta\Sigma$ analog front-end architecture using spectrum equalization scheme for 1024-channel 3-D neural recording microsystems[J]. IEEE Journal of Solid-State Circuits, 2018, 53 (2): 501-514. DOI: 10.1109/JSSC.2017.2764053.

[6] CHAE Y, HAN G. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator[J]. IEEE Journal of Solid-State Circuits, 2009, 44 (2): 458-472. DOI: 10.1109/JSSC.2008.2010973.

[7] YIN S J, SUN Y H, LI X Y. Full compensated depletion-mode MOS-capacitor for pure digital technology low voltage switched-capacitor applications[C]//Proceedings of 2007 IEEE Conference on Electron Devices and Solid-State Circuits, Taiwan, China: IEEE, 2007: 913-916. DOI: 10.1109/EDSSC.2007.4450274.

作者简介:

涂家华 男,(1996-),硕士研究生.研究方向为混合信号集成电路设计.

殷树娟(通讯作者) 女,(1981-),博士,教授.研究方向为混合信号集成电路设计、IP 复用技术等.

Email: yinsj03@163.com.